

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-229912

(43)Date of publication of application : 26.09.1988

(51)Int.Cl.

H03K 5/26

H03D 13/00

(21)Application number : 62-062404

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.03.1987

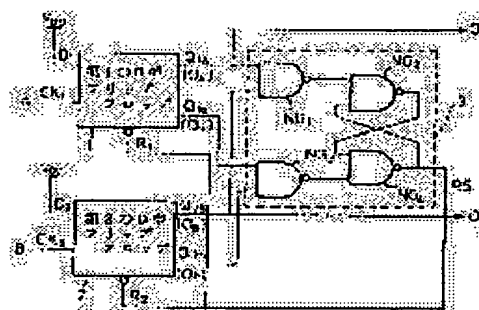
(72)Inventor : ASAMI FUMITAKA

## (54) PHASE COMPARATOR

## (57)Abstract:

PURPOSE: To stabilize an operation by outputting 1st and 2nd output signals even when the 1st input signal and the 2nd input signal are in phase so as to eliminate a dead band where the 1st output signal and the 2nd output signal are brought into a high impedance state.

CONSTITUTION: A phase comparator, consists of two D flip-flops 1, 2 and a latch circuit 3 comprising 4 NAND gates NG1 ~ NG4. Thus, the phases of the inputted 1st input signal A and end input signal B are compared, and the 1st output signal OA and the 2nd output signal OB are outputted depending on the phase difference between the 1st input signal A and the 2nd input signal B. The 1st output signal OA and the 2nd output signal OB are outputted even when the 1st input signal A and the 2nd input signal B are in phase.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

## ⑫ 公開特許公報(A)

昭63-229912

⑮ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)9月26日

H 03 K 5/26  
H 03 D 13/006959-5J  
B-7328-5J

審査請求 有 発明の数 2 (全10頁)

⑭ 発明の名称 位相比較回路

⑯ 特 願 昭62-62404

⑰ 出 願 昭62(1987)3月19日

⑱ 発 明 者 浅 見 文 孝 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 青 木 朗 外3名

## 明 細 書

## 1. 発明の名称

位相比較回路

## 2. 特許請求の範囲

1. 入力された第1の入力信号(A)および第2の入力信号(B)の位相を比較し、該第1の入力信号(A)および第2の入力信号(B)の位相差に応じて第1の出力信号(O<sub>1</sub>)および第2の出力信号(O<sub>2</sub>)を出力する位相比較回路であって、

前記第1の入力信号(A)と前記第2の入力信号(B)とが同相のときにも前記第1の出力信号(O<sub>1</sub>)および前記第2の出力信号(O<sub>2</sub>)を出力することを特徴とする位相比較回路。

2. 入力された第1の入力信号(A)および第2の入力信号(B)の位相を比較し、該第1の入力信号(A)および第2の入力信号(B)の位相差に応じて第1の出力信号(O<sub>1</sub>)および第2の出力信号(O<sub>2</sub>)を出力する位相比較回路であって、

前記第1の入力信号(A)が入力され、前記第1の出力信号(O<sub>1</sub>)および該第1の出力信号(O<sub>1</sub>)の反転出力信号(O<sub>1</sub><sup>′</sup>)を出力する第1のフリップフロップ(1)と、

前記第2の入力信号(B)が入力され、前記第2の出力信号(O<sub>2</sub>)および該第2の出力信号(O<sub>2</sub>)の反転出力信号(O<sub>2</sub><sup>′</sup>)を出力する第2のフリップフロップ(2)と、

前記第1のフリップフロップ(1)および第2のフリップフロップ(2)の出力信号(O<sub>1</sub>, O<sub>2</sub>)と反転出力信号(O<sub>1</sub><sup>′</sup>, O<sub>2</sub><sup>′</sup>)が供給され、該出力信号(O<sub>1</sub>, O<sub>2</sub>)と反転出力信号(O<sub>1</sub><sup>′</sup>, O<sub>2</sub><sup>′</sup>)に応じて前記第1のフリップフロップ(1)および第2のフリップフロップ(2)にリセット信号(RS)を供給するラッチ回路(3)と、

を具備し、前記第1の入力信号(A)と前記第2の入力信号(B)とが同相のときにも前記リセット信号(RS)を前記第1のフリップフロップ(1)および第2のフリップフロップ(2)に供給して前記第1の出力信号(O<sub>1</sub>)および前記第

2の出力信号( $O_2$ )を出力させるようにしたことを特徴とする位相比較回路。

3. 前記第1のフリップフロップ(1)および第2のフリップフロップ(2)はそれぞれD型フリップフロップで構成され、且つ、前記ラッチ回路(3)は4つのNANDゲート( $NG_1, NG_2, NG_3, NG_4$ )で構成されている特許請求の範囲第2項に記載の位相比較回路。

4. 前記第1のフリップフロップ(1)のD端子( $D_1$ )には電源電圧( $V_{DD}$ )が印加され、クロックパルス端子( $CK_1$ )には前記第1の入力信号(A)が入力され、且つ、リセット端子( $R_1$ )には前記リセット信号(RS)が供給され、

前記第2のフリップフロップ(2)のD端子( $D_2$ )には電源電圧( $V_{DD}$ )が印加され、クロックパルス端子( $CK_2$ )には前記第2の入力信号(B)が入力され、且つ、リセット端子( $R_2$ )には前記リセット信号(RS)が供給され、

前記第1のNANDゲート( $NG_1$ )の一方の入力端子には前記第1の出力信号( $O_1$ )を出力する

前記第1のフリップフロップ(1)の出力端子( $Q_1$ )が接続され、他方の入力端子には前記第2の出力信号( $O_2$ )を出力する前記第2のフリップフロップ(2)の出力端子( $Q_2$ )が接続され、

前記第2のNANDゲート( $NG_2$ )の一方の入力端子には前記第1のNANDゲート( $NG_1$ )の出力信号が供給され、

前記第3のNANDゲート( $NG_3$ )の一方の入力端子には前記第1のフリップフロップ(1)の反転出力端子( $\bar{Q}_1$ )が接続され、他方の入力端子には前記第2のフリップフロップ(2)の反転出力端子( $\bar{Q}_2$ )が接続され、そして、

前記第4のNANDゲート( $NG_4$ )の一方の入力端子には前記第2のNANDゲート( $NG_2$ )の出力信号が供給され、他方の入力端子には前記第3のNANDゲート( $NG_3$ )の出力信号が供給され、該第4のNANDゲート( $NG_4$ )の出力信号は前記リセット信号(RS)とされと共に前記第2のNANDゲート( $NG_2$ )の他方の入力端子に供給さ

れている特許請求の範囲第3項に記載の位相比較回路。

### 3. 発明の詳細な説明

#### (概要)

本発明は、入力された第1の入力信号および第2の入力信号の位相を比較し、それら第1の入力信号および第2の入力信号の位相差に応じて第1の出力信号および第2の出力信号を出力する位相比較回路であって、第1の入力信号と第2の入力信号とが同相のときにも第1の出力信号および第2の出力信号を出力させることによって、上記第1の出力信号および第2の出力信号が高インピーダンス状態となる不感帯域を無くし、常に安定した動作を行わせることを可能とする。

#### (産業上の利用分野)

本発明は、位相比較回路に関し、特に、入力された2つの入力信号の位相を比較し、それら2つの入力信号の位相差に応じて2つの出力信号を出力する位相比較回路に関する。

#### (従来の技術)

位相比較回路は、例えば、PLL(フェーズ・ロック・ループ)回路等に使用されるもので、2つの入力信号の位相を比較し、それら2つの入力信号の位相差に応じて2つの出力信号を出力するものである。

第6図は位相比較回路を使用したPLL回路を示すブロック回路図である。

第6図に示されるように、位相比較回路の第1の入力信号Aとしては基準信号 $f_r$ が供給され、また、位相比較回路の第1および第2の出力信号 $O_1, O_2$ は、チャージポンプ4に供給されている。

チャージポンプ4は、インバータ41、P型MOSトランジスタ42およびN型MOSトランジスタ43で構成され、位相比較回路の第1の出力信号 $O_1$ はインバータ41を介してそのドレインに高電位の電源電圧 $V_{DD}$ が印加されたトランジスタ42のゲートに供給され、また、位相比較回路の第2の出力信号 $O_2$ はトランジスタ43のゲ

ートに供給されている。トランジスタ43のドレインはトランジスタ42のソースに接続されると共に、チャージポンプ4の出力としてローパスフィルタ(LPF)5に接続され、トランジスタ43のソースは低電位の電源電圧 $V_{ss}$ に接続されている。

LPF5の出力は電圧制御発振器(VCO)6に供給され、VCO6の出力信号はPLL回路の出力として外部に取り出されると共に、分周回路7に供給されている。分周回路7の出力信号は第2の入力信号Bとして位相比較回路に供給されている。

上記のPLL回路は、位相比較回路の第1の入力信号Aとして供給された基準信号 $f_r$ と位相比較回路の第2の入力信号Bとして供給された分周回路7の出力信号とが比較され、両信号の位相差に応じて位相比較回路の第1および第2の出力信号 $O_1$ 、 $O_2$ のパルス幅が変化するようになされている。チャージポンプ4の出力は、例えば、第1の入力信号Aの位相が第2の入力信号Bの位相

よりも進んでいると低レベル(負電位の出力信号)となり、その低レベル出力信号のパルス幅は上記入力信号の位相の進み具合に応じて定められる。逆に、第2の入力信号Bの位相が第1の入力信号Aの位相よりも進んでいると、チャージポンプ4の出力は高レベル(正電位の出力信号)となり、その高レベル出力信号のパルス幅は上記入力信号の位相の進み具合に応じて定められる。そして、第1の入力信号Aの位相と第2の入力信号Bの位相とが等しいと、第1および第2の出力信号 $O_1$ 、 $O_2$ は出力されず、チャージポンプ4の出力は高インピーダンス状態となる。

すなわち、位相比較回路の第1入力信号Aと第2入力信号Bとの位相差により、チャージポンプ4は、高レベル状態、低レベル状態、または、高インピーダンス状態を選択的に出力することになる。そして、LPF5によりチャージポンプ4の出力を平滑して直流分を取り出し、この直流成分によりVCO6の発振周波数を変化させるようになされている。VCO6の出力信号は、分周回路

7を通過して所定の分周比とされて位相比較回路の第2の入力信号Bとして帰還される。これにより、分周回路7の出力信号と基準周波数とが同一周波数で同位相となる出力信号がVCO6からPLL回路の出力信号として取り出されることになる。

#### (発明が解決しようとする問題点)

上述したように、従来の位相比較回路は、2つの入力信号A、Bの間に位相差が存在する場合に、その位相差に応じて2つの出力信号 $O_1$ 、 $O_2$ のパルス幅が変化するようになされている。そして、2つの入力信号A、Bの間に位相差が存在しない場合、すなわち、2つの入力信号A、Bが同相の場合には、2つの出力信号 $O_1$ 、 $O_2$ は共に出力されないようになされている。

第7図は従来の位相比較回路を使用したPLL回路におけるLPFの入力信号を示す図である。

第7図において、縦軸は入力電圧であり、横軸は2つの入力信号A、B間の位相差である。また、第7図中、破線で示された曲線は理想的な特性を

有する位相比較回路を使用したPLL回路におけるLPF5の入力信号を示すものである。すなわち、LPF5の理想的な入力信号は、2つの入力信号A、Bの間に位相差が存在しない場合には零となり、2つの入力信号A、Bの間に位相差が存在する場合に、その位相差に応じて正電位から負電位へ変化するようになされている。例えば、第1の入力信号Aの位相が第2の入力信号Bの位相よりも進んでいると、LPF5にはその位相の進み具合に応じて負の電圧が出力され、逆に、第2の入力信号Bの位相が第1の入力信号Aの位相よりも進んでいると、LPF5にはその位相の進み具合に応じて正の電圧が出力される。そして、第1の入力信号Aの位相と第2の入力信号Bの位相とが等しいと、LPF5の入力は零電位となる。

ところで、実際に位相比較回路を製造すると、その位相比較回路を構成している素子のばらつき等の問題のために、LPF5の入力電圧は第7図中の実線で示されるような曲線となる場合がある。

すなわち、従来の位相比較回路は、2つの入力

信号A、Bの間に位相差が存在しない場合には、2つの出力信号 $O_A$ 、 $O_B$ は共に出力されないようになされているため、位相比較回路を構成している素子にばらつき等が存在すると、出力信号 $O_A$ 、 $O_B$ の内の一方の信号が出力される場合と出力信号 $O_A$ 、 $O_B$ の両方の信号が出力されない場合との境界が不確定となり、出力信号 $O_A$ 、 $O_B$ の両方の信号が出力されない不感帯領域が存在することになる。

従来の位相比較回路において、上記したような不感帯領域が存在すると、例えば、位相比較回路を使用したPLL回路においては、出力波形の精度が低下するだけでなく、出力波形が不安定となり、安定した高品質の出力波形を得ることができない。

第8図は従来の不感帯領域がある位相比較回路を使用したPLL回路の出力波形を示す図であり、縦軸は出力電圧を示し、横軸は周波数を示すものである。

第8図からも明らかなように、従来の位相比較

回路を使用したPLL回路の出力波形は、上記した位相比較回路の不感帯領域のために、得られる出力波形には周波数変調に相当するノイズ成分が多量に含まれ、その結果、従来の位相比較回路を使用したPLL回路では安定した高品質の出力波形を得ることができなかった。

本発明は、上述した従来形の位相比較回路が有する問題点に鑑み、第1の入力信号と第2の入力信号とが同相のときにも第1の出力信号および第2の出力信号を出力させることによって、上記第1の出力信号および第2の出力信号が高インピーダンス状態となる不感帯域を無くし、常に安定した動作を行わせることを目的とする。

#### (問題点を解決するための手段)

第1図は本発明に係る位相比較回路の原理を示すブロック回路図である。

本発明の第1の態様によれば、入力された第1の入力信号Aおよび第2の入力信号Bの位相を比較し、該第1の入力信号Aおよび第2の入力信号

Bの位相差に応じて第1の出力信号 $O_A$ および第2の出力信号 $O_B$ を出力する位相比較回路であって、前記第1の入力信号Aと前記第2の入力信号Bとが同相のときにも前記第1の出力信号 $O_A$ および前記第2の出力信号 $O_B$ を出力することを特徴とする位相比較回路が提供される。

本発明の第2の態様によれば、入力された第1の入力信号Aおよび第2の入力信号Bの位相を比較し、該第1の入力信号Aおよび第2の入力信号Bの位相差に応じて第1の出力信号 $O_A$ および第2の出力信号 $O_B$ を出力する位相比較回路であって、前記第1の入力信号Aが入力され、前記第1の出力信号 $O_A$ および該第1の出力信号 $O_A$ の反転出力信号 $\bar{O}_A$ を出力する第1のフリップフロップ1と、前記第2の入力信号Bが入力され、前記第2の出力信号 $O_B$ および該第2の出力信号 $O_B$ の反転出力信号 $\bar{O}_B$ を出力する第2のフリップフロップ2と、前記第1のフリップフロップ1および第2のフリップフロップ2の出力信号 $O_A$ 、 $O_B$ と反転出力信号 $\bar{O}_A$ 、 $\bar{O}_B$ が供給され、該出力信号

$O_A$ 、 $O_B$ と反転出力信号 $\bar{O}_A$ 、 $\bar{O}_B$ に応じて前記第1のフリップフロップ1および第2のフリップフロップ2にリセット信号RSを供給するラッチ回路3と、を具備する位相比較回路が提供される。そして、本発明の第2の態様の位相比較回路は、前記第1の入力信号Aと前記第2の入力信号Bとが同相のときにも前記リセット信号RSを前記第1のフリップフロップ1および第2のフリップフロップ2に供給して前記第1の出力信号 $O_A$ および前記第2の出力信号 $O_B$ を出力させるものである。

#### (作 用)

上述した構成を有する本発明の第1の態様の位相比較回路によれば、入力された第1の入力信号Aおよび第2の入力信号Bの位相が比較され、その第1の入力信号Aおよび第2の入力信号Bの位相差に応じて第1の出力信号 $O_A$ および第2の出力信号 $O_B$ が出力される。そして、第1の入力信号Aと第2の入力信号Bとが同相のときにも第1

の出力信号 $O_1$ および第2の出力信号 $O_2$ が出力され、第1の出力信号および第2の出力信号が高インピーダンス状態となる不感帯域が無くなり常に安定した動作が行われることになる。

上述した構成を有する本発明の第2の態様の位相比較回路によれば、入力された第1の入力信号 $A$ および第2の入力信号 $B$ の位相が比較され、その第1の入力信号 $A$ および第2の入力信号 $B$ の位相差に応じて第1の出力信号 $O_1$ および第2の出力信号 $O_2$ が出力される。第1の出力信号 $O_1$ および該第1の出力信号 $O_1$ の反転出力信号 $\bar{O}_1$ を出力する第1のフリップフロップ1には第1の入力信号 $A$ が入力され、また、第2の出力信号 $O_2$ および該第2の出力信号 $O_2$ の反転出力信号 $\bar{O}_2$ を出力する第2のフリップフロップ2には第2の入力信号 $B$ が入力される。ラッチ回路3には第1のフリップフロップ1および第2のフリップフロップ2の出力信号 $O_1$ 、 $O_2$ と反転出力信号 $\bar{O}_1$ 、 $\bar{O}_2$ が供給され、それら出力信号 $O_1$ 、 $O_2$ と反転出力信号 $\bar{O}_1$ 、 $\bar{O}_2$ に応じて第1のフリップフロップ1

および第2のフリップフロップ2にリセット信号 $RS$ を供給する。そして、第1の入力信号 $A$ と第2の入力信号 $B$ とが同相のときにもリセット信号 $RS$ を第1のフリップフロップ1および第2のフリップフロップ2に供給して第1の出力信号 $O_1$ および第2の出力信号 $O_2$ を出力させるので、第1の出力信号および第2の出力信号が高インピーダンス状態となる不感帯域が無くなり常に安定した動作を行わせることができる。

#### (実施例)

以下、図面を参照して本発明に係る位相比較回路の一実施例を説明する。

第2図は本発明の位相比較回路の一実施例を示す回路図である。

本実施例の位相比較回路は、2つのD型フリップフロップ1、2と、4つのNANDゲート $NG_1$ 、 $NG_2$ 、 $NG_3$ 、 $NG_4$ とで構成されたラッチ回路3と、を具備している。これにより、入力された第1の入力信号 $A$ および第2の入力信号 $B$ の位相が比較さ

れ、その第1の入力信号 $A$ および第2の入力信号 $B$ の位相差に応じて第1の出力信号 $O_1$ および第2の出力信号 $O_2$ が出力されることになる。

第1のフリップフロップ1のD端子 $D_1$ には電源電圧 $V_{DD}$ が印加され、クロックパルス端子 $CK_1$ には前記第1の入力信号 $A$ が入力され、そして、リセット端子 $R_1$ には前記リセット信号 $RS$ が供給されている。また、第2のフリップフロップ2のD端子 $D_2$ には電源電圧 $V_{DD}$ が印加され、クロックパルス端子 $CK_2$ には前記第2の入力信号 $B$ が入力され、そして、リセット端子 $R_2$ には前記リセット信号 $RS$ が供給されている。

第1のNANDゲート $NG_1$ の一方の入力端子には位相比較回路の第1の出力信号 $O_1$ を出力する第1のフリップフロップ1の出力端子 $Q_1$ が接続され、他方の入力端子には位相比較回路の第2の出力信号 $O_2$ を出力する第2のフリップフロップ2の出力端子 $Q_2$ が接続されている。また、第2のNANDゲート $NG_2$ の一方の入力端子には第1のNANDゲート $NG_1$ の出力信号が供給されてい

る。

第3のNANDゲート $NG_3$ の一方の入力端子には第1のフリップフロップ1の反転出力端子 $\bar{Q}_1$ が接続され、他方の入力端子には第2のフリップフロップ2の反転出力端子 $\bar{Q}_2$ が接続されている。ここで、第1のフリップフロップ1の反転出力端子 $\bar{Q}_1$ は、第1の出力信号 $O_1$ が反転された第1の反転出力信号 $\bar{O}_1$ が出力される端子であり、また、第2のフリップフロップ2の反転出力端子 $\bar{Q}_2$ は、第2の出力信号 $O_2$ が反転された第2の反転出力信号 $\bar{O}_2$ が出力される端子である。そして、第4のNANDゲート $NG_4$ の一方の入力端子には前記第2のNANDゲート $NG_2$ の出力信号が供給され、他方の入力端子には第3のNANDゲート $NG_3$ の出力信号が供給されている。この第4のNANDゲート $NG_4$ の出力端子はリセット信号 $RS$ を送出すると共に第2のNANDゲート $NG_2$ の他方の入力端子に接続されている。

第3図は第2図の位相比較回路における各部位の信号波形を示す図であり、第3図中、(a)は

第1の入力信号A、(b)は第2の入力信号B、(c)は第1の出力信号O<sub>1</sub>、(d)は第2の出力信号O<sub>2</sub>、そして、(e)はリセット信号RSをそれぞれ示すものである。

まず、領域αに示されるように、第1の入力信号Aの位相が第2の入力信号Bの位相よりも進んでいるとき、第1の入力信号Aが第1のフリップフロップ1のクロックパルス端子CK<sub>1</sub>に供給されると、第1の出力信号O<sub>1</sub>はフリップフロップ1で遅延されて出力端子Q<sub>1A</sub>から出力される。同様に、第2の入力信号Bが第2のフリップフロップ2のクロックパルス端子CK<sub>2</sub>に供給されると、第2の出力信号O<sub>2</sub>はフリップフロップ2で遅延されて出力端子Q<sub>2A</sub>から出力される。

ところで、ラッチ回路3において、第1および第2の出力信号O<sub>1</sub>、O<sub>2</sub>が低レベル(第1および第2の反転出力信号O<sub>1</sub>、O<sub>2</sub>が高レベル)のとき、第1のNANDゲートNG<sub>1</sub>の入力端子にはそれぞれ低レベル信号(O<sub>1</sub>、O<sub>2</sub>)が供給されるので、NANDゲートNG<sub>1</sub>の出力信号は高レベルとなる。

また、第3のNANDゲートNG<sub>3</sub>の入力端子にはそれぞれ高レベル信号(O<sub>1</sub>、O<sub>2</sub>)が供給されるので、NANDゲートNG<sub>3</sub>の出力信号は低レベルとなる。

NANDゲートNG<sub>3</sub>の出力信号が低レベルのとき、すなわち、第4のNANDゲートNG<sub>4</sub>の一方の入力端子に低レベル信号が供給されるとき、他方の入力端子に供給される信号のレベルに拘らず、NANDゲートNG<sub>4</sub>の出力信号(リセット信号RS)は高レベルとなる。また、第2のNANDゲートNG<sub>2</sub>の入力端子にはそれぞれ高レベル信号が入力されることになり、NANDゲートNG<sub>2</sub>の出力信号は低レベル、そして、第4のNANDゲートNG<sub>4</sub>の他方の入力端子には低レベル信号が供給されてラッチ回路2が安定することになる。これにより、リセット信号RSは高レベルに保持され、第1のフリップフロップ1のリセット端子R<sub>1</sub>、および第2のフリップフロップ2のリセット端子R<sub>2</sub>には高レベルの信号が供給されることになる。

次に、第1の出力信号O<sub>1</sub>が低レベルから高レ

ベルに立上がり、第1および第2の出力信号O<sub>1</sub>、O<sub>2</sub>の位相差に対応する所定時間の後に第2の出力信号O<sub>2</sub>が低レベルから高レベルに立上ると、リセット信号RSは高レベルから低レベルに変化する。すなわち、第1のNANDゲートNG<sub>1</sub>の一方の入力端子に供給される第1の出力信号O<sub>1</sub>が低レベルから高レベルに変化し、第3のNANDゲートNG<sub>3</sub>の一方の入力端子に供給される第1の反転出力信号O<sub>1</sub>が高レベルから低レベルに変化すると、第3のNANDゲートNG<sub>3</sub>の出力信号は低レベルから高レベルに変化する。さらに、所定時間の後に第1のNANDゲートNG<sub>1</sub>の他方の入力端子に供給される第2の出力信号O<sub>2</sub>が低レベルから高レベルに変化し、第3のNANDゲートNG<sub>3</sub>の他方の入力端子に供給される第2の反転出力信号O<sub>2</sub>が高レベルから低レベルに変化すると、第1のNANDゲートNG<sub>1</sub>の出力信号は高レベルから低レベルに変化し、第2のNANDゲートNG<sub>2</sub>の出力信号は低レベルから高レベルに変化し、その結果、第4のNANDゲートNG<sub>4</sub>の

出力信号(リセット信号RS)は高レベルから低レベルに変化する。

そして、リセット信号RSが高レベルから低レベルに変化すると、すなわち、第1のフリップフロップ1のリセット端子R<sub>1</sub>、および第2のフリップフロップ2のリセット端子R<sub>2</sub>に供給される信号が高レベルから低レベルに立下がると、第1および第2のフリップフロップ1、2はリセットされ、再び、第1および第2の出力信号O<sub>1</sub>、O<sub>2</sub>は高レベルから低レベルに変化し、また、第1および第2の反転出力信号O<sub>1</sub>、O<sub>2</sub>は低レベルから高レベルに変化する。そして、第1および第2の出力信号O<sub>1</sub>、O<sub>2</sub>が低レベルで、第1および第2の反転出力信号O<sub>1</sub>、O<sub>2</sub>が高レベルとなると、前述したように、リセット信号RSは低レベルから高レベルに変化する。

以上の上記位相比較回路の実施例において、それぞれの信号は、第1および第2のフリップフロップ1、2およびラッチ回路3を構成している4つのNANDゲートNG<sub>1</sub>、NG<sub>2</sub>、NG<sub>3</sub>、NG<sub>4</sub>により、例

えば、数ナノ秒から数十ナノ秒程度遅延されることになる。

次に、第3図の領域 $\beta$ に示されるように、第2の入力信号Bの位相が第1の入力信号Aの位相よりも進んでいるときは、上述した第1の入力信号Aの位相が第2の入力信号Bの位相よりも進んでいるときと同様に動作する。すなわち、上述した第1の入力信号Aの位相が第2の入力信号Bの位相よりも進んでいるときの動作説明において、第1の出力信号 $O_1$ と第2の出力信号 $O_2$ とを交換して読み替え、第1の反転出力信号 $\bar{O}_1$ と第2の反転出力信号 $\bar{O}_2$ を交換して読み替えればよいので説明は省略する。

さらに、第3図の領域 $\gamma$ に示されるように、第1の入力信号Aの位相が第2の入力信号Bの位相と同じとき、すなわち、第1の入力信号Aと第2の入力信号Bとが同相のときについて説明する。

まず、ラッチ回路3において、第1および第2の出力信号 $O_1, O_2$ が低レベル（第1および第2の反転出力信号 $\bar{O}_1, \bar{O}_2$ が高レベル）のときは、

リセット信号RS）は高レベルから低レベルに変化する。

そして、前述したように、リセット信号RSが高レベルから低レベルに変化すると、すなわち、第1のフリップフロップ1のリセット端子 $R_1$ および第2のフリップフロップ2のリセット端子 $R_2$ に供給される信号が高レベルから低レベルに立下がると、第1および第2のフリップフロップ1, 2はリセットされ、再び、第1および第2の出力信号 $O_1, O_2$ は高レベルから低レベルに変化し、また、第1および第2の反転出力信号 $\bar{O}_1, \bar{O}_2$ は低レベルから高レベルに変化する。そして、第1および第2の出力信号 $O_1, O_2$ が低レベルで、第1および第2の反転出力信号 $\bar{O}_1, \bar{O}_2$ が高レベルとなると、前述したように、リセット信号RSは低レベルから高レベルに変化する。

このように、本実施例は、第1の入力信号Aと第2の入力信号Bとが同相のときにも、第1の出力信号 $O_1$ および第2の出力信号 $O_2$ を出力させることができるものである。この第1の出力信号

前述したように、リセット信号RSは高レベルに保持され、第1のフリップフロップ1のリセット端子 $R_1$ および第2のフリップフロップ2のリセット端子 $R_2$ には高レベルの信号が供給される。

そして、第1のNANDゲート $NG_1$ のそれぞれの入力端子に供給される第1および第2の出力信号 $O_1, O_2$ が同時に低レベルから高レベルに立上ると、第1のNANDゲート $NG_1$ の出力信号は高レベルから低レベルに変化する。これにより、第2のNANDゲート $NG_2$ の一方の入力端子に供給される信号が高レベルから低レベルに立下がり、NANDゲート $NG_2$ の出力信号は低レベルから高レベルに変化する。また、第3のNANDゲート $NG_3$ のそれぞれの入力端子に供給される第1および第2の反転出力信号 $\bar{O}_1, \bar{O}_2$ が同時に高レベルから低レベルに立下がると、第3のNANDゲート $NG_3$ の出力信号は低レベルから高レベルに変化する。そして、第4のNANDゲート $NG_4$ の入力端子にはそれぞれ高レベルの信号が供給されることになり、NANDゲート $NG_4$ の出力信号（リセ

ット信号RS）は高レベルから低レベルに変化する。第1および第2の出力信号 $O_1, O_2$ は、第1および第2のフリップフロップ1, 2並びにラッチ回路3を構成している4つのNANDゲート $NG_1, NG_2, NG_3, NG_4$ による遅延時間、例えば、数ナノ秒から数十ナノ秒程度のパルス幅の信号である。

第4図は第2図の位相比較回路を使用したPLL回路におけるLPFの入力信号を示す図である。

第4図において、縦軸は入力電圧であり、横軸は2つの入力信号A, B間の位相差である。また、第4図中、破線で示された曲線は理想的な特性を有する位相比較回路を使用したPLL回路におけるLPF5の入力信号を示すものである。

第2図の位相比較回路を使用したPLL回路におけるLPF5の入力信号は、第4図中の破線で示された理想的な出力特性を示す曲線の両側において、第1および第2の出力信号 $O_1, O_2$ の両方の信号が出力されない不感帯領域が存在せず、第1および第2の入力信号A, Bが同相のときには第1および第2の出力信号 $O_1, O_2$ の両方の信号が出力されるので境界が不明瞭となることが



なく、第4図の実線で示されたLPF5の入力電圧を比較することにより、第1および第2の入力信号A、Bが同相になる状態を正確に把握することができる。

このように、本実施例の位相比較回路を使用したPLL回路においては、出力波形の精度が向上するだけでなく、安定した高品質の出力波形を得ることができる。

第5図は第2図の位相比較回路を使用したPLL回路の出力波形を示す図であり、縦軸は出力電圧を示し、横軸は周波数を示すものである。

第5図からも明らかなように、本実施例の位相比較回路を使用したPLL回路の出力波形は、理想的な位相比較回路を使用したPLL回路と同様に、高精度で安定した高品質の出力波形を得ることができる。

以上において、本実施例の位相比較回路をPLL回路に使用する場合について説明したが、本発明の位相比較回路はPLL回路だけでなく、種々の回路に使用することができるのはいうまでもない。

(発明の効果)

以上、詳述したように、本発明に係る位相比較回路は、第1の入力信号と第2の入力信号とが同相のときにも第1の出力信号および第2の出力信号を出力させることによって、上記第1の出力信号および第2の出力信号が高インピーダンス状態となる不感帯域を無くし、常に安定した動作を行わせることができる。

#### 4. 図面の簡単な説明

第1図は本発明に係る位相比較回路の原理を示すブロック回路図、

第2図は本発明の位相比較回路の一実施例を示す回路図、

第3図は第2図の位相比較回路における各部位の信号波形を示す図、

第4図は第2図の位相比較回路を使用したPLL回路におけるLPFの入力信号を示す図、

第5図は第2図の位相比較回路を使用したPLL回路の出力波形を示す図、

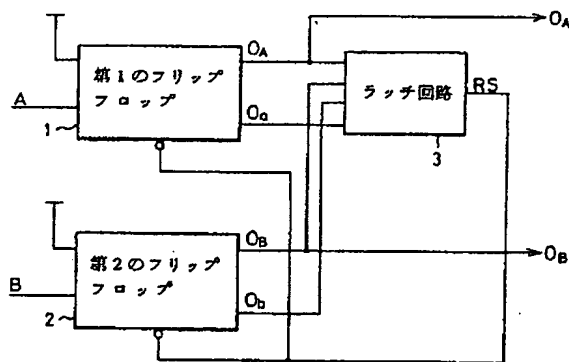
第6図は位相比較回路を使用したPLL回路を

示すブロック回路図、

第7図は従来の位相比較回路を使用したPLL回路におけるLPFの入力信号を示す図、

第8図は従来の不感帯領域がある位相比較回路を使用したPLL回路の出力波形を示す図である。  
(符号の説明)

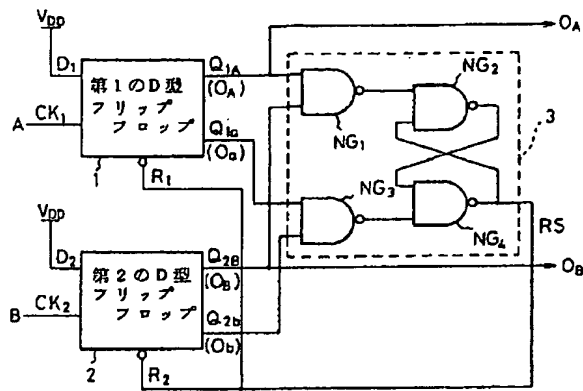
- 1…第1のフリップフロップ、
- 2…第2のフリップフロップ、
- 3…ラッチ回路、
- A…第1の入力信号、
- B…第2の入力信号、
- O<sub>A</sub>…第1の出力信号、
- O<sub>a</sub>…第1の反転出力信号、
- O<sub>B</sub>…第2の出力信号、
- O<sub>b</sub>…第2の反転出力信号、
- RS…リセット信号。



本発明に係る位相比較回路の原理  
を示すブロック回路図

第1図

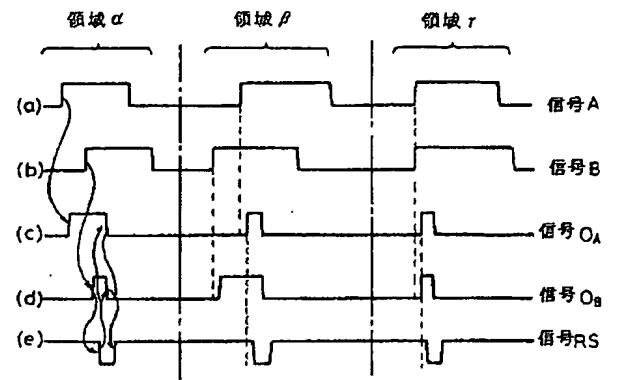
- A…第1の入力信号
- B…第2の入力信号
- O<sub>A</sub>…第1の出力信号
- O<sub>a</sub>…第1の反転出力信号
- O<sub>B</sub>…第2の出力信号
- O<sub>b</sub>…第2の反転出力信号
- RS…リセット信号



本発明の位相比較回路の一実施例を示す回路図

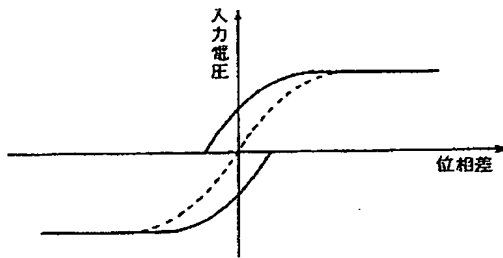
第2図

CK<sub>1</sub>, CK<sub>2</sub>... クロックパルス端子  
D<sub>1</sub>, D<sub>2</sub>... D端子  
NG<sub>1</sub>, NG<sub>2</sub>, NG<sub>3</sub>, NG<sub>4</sub>... NANDゲート  
Q<sub>1A</sub>, Q<sub>2B</sub>... 出力端子  
Q<sub>1a</sub>, Q<sub>2b</sub>... 反転出力端子  
R<sub>1</sub>, R<sub>2</sub>... リセット端子



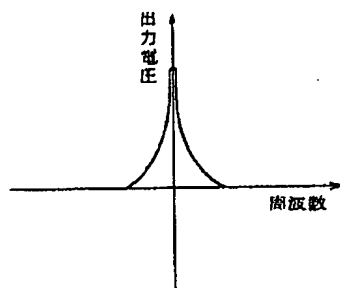
第2図の位相比較回路における各部位の信号波形を示す図

第3図



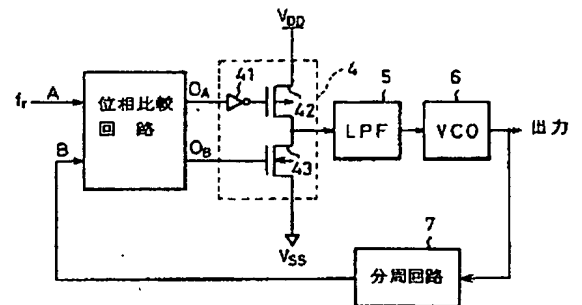
第2図の位相比較回路を使用したPLL回路におけるLPFの入力信号を示す図

第4図



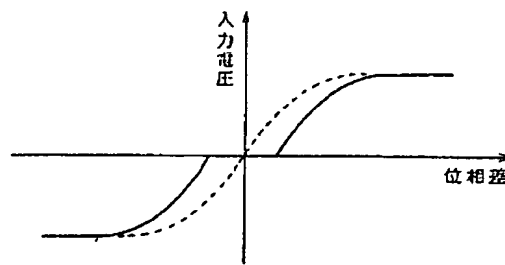
第2図の位相比較回路を使用したPLL回路の出力波形を示す図

第5図



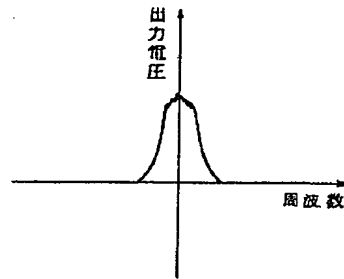
位相比較回路を使用したPLL回路を示すブロック回路図

第6図



従来の位相比較回路を使用したPLL回路におけるLPFの入力信号を示す図

第7図



従来の不感帯領域がある位相比較回路を使用したPLL回路の出力波形を示す図

第8図